

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-293503

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

G06F 15/78

(21)Application number : 11-099032

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 06.04.1999

(72)Inventor : IZUMIDA MASAMICHI  
SANO SAKAE

## (54) MICROCOMPUTER

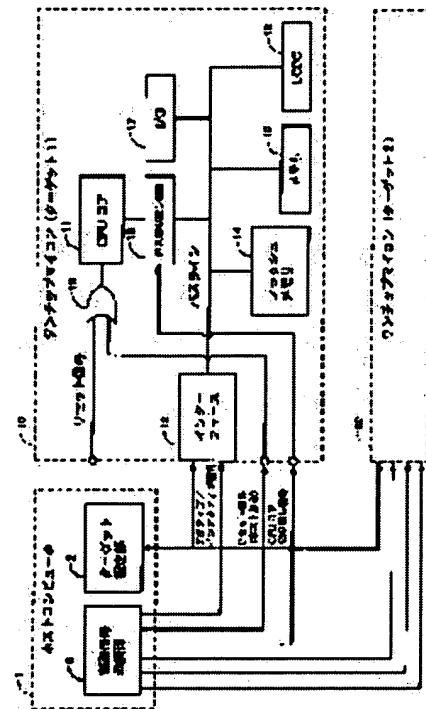
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To optionally allocate the resources of plural one-chip microcomputers to a host computer via the control carried out by the host computer by including a means which separates a CPU main body from a memory in response to the control signal that is sent from the host computer, or the like.

**SOLUTION:** An interface to connect a memory to an external host computer and a means which separates a CPU main body from the memory in response to the control signal sent from the host computer, are included.

For example, an interface 12 of a one-chip microcomputer 10 is set in an active or inactive state according to an active or inactive signal sent from a control signal transmitting part 3 of a host computer 1. A

bus separating device 13 is placed between a CPU core 11 and a bus line and separates the core 11 from the bus line by a CPU core separation signal sent from the part 3 of the computer 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-293503

(P2000-293503A)

(43)公開日 平成12年10月20日(2000. 10. 20)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 6 F 15/78	5 1 0	G 0 6 F 15/78	5 1 0 C 5 B 0 6 2
			5 1 0 D
			5 1 0 P

審査請求 未請求 請求項の数5 O L (全 4 頁)

(21)出願番号 特願平11-99032

(22)出願日 平成11年4月6日(1999. 4. 6)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 泉田 正道

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 佐野 栄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

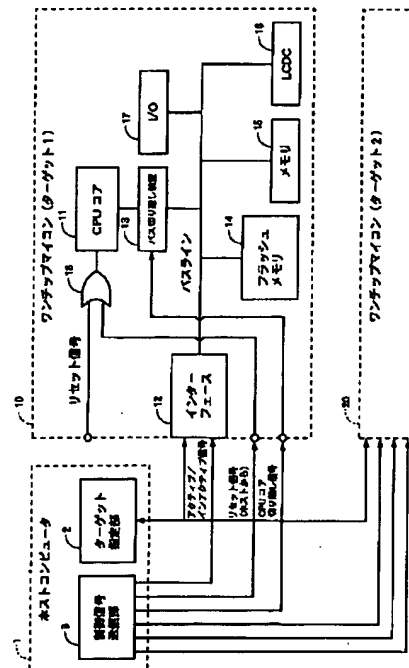
Fターム(参考) 5B062 AA10 CC01 CC04 DD10 EE08  
EE09

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【課題】 ワンチップマイコンのCPUコアを除く周辺部分を外部のホストコンピュータの資源の一部として任意に割り当てて使用することができるワンチップマイコンを提供する。

【解決手段】 CPU本体と、データを記憶するためのメモリと、少なくともメモリを外部のホストコンピュータに接続するためのインターフェースと、ホストコンピュータから送信される制御信号に従ってCPU本体を少なくともメモリから切り離すための手段とを具備する。



## 【特許請求の範囲】

【請求項 1】 マイクロコンピュータであって、CPU 本体と、データを記憶するためのメモリと、少なくとも前記メモリを外部のホストコンピュータに接続するためのインターフェースと、前記ホストコンピュータから送信される制御信号に従って前記 CPU 本体を少なくとも前記メモリから切り離すための手段と、を具備する前記マイクロコンピュータ。

【請求項 2】 前記メモリがフラッシュメモリである、請求項 1 に記載のマイクロコンピュータ。

【請求項 3】 前記インターフェースがプログラム可能なマッピング装置を含むバス制御装置である、請求項 1 に記載のマイクロコンピュータ。

【請求項 4】 前記インターフェースが前記ホストコンピュータからの命令に従って動作状態又は非動作状態とされる、請求項 1 又は 3 に記載のマイクロコンピュータ。

【請求項 5】 前記 CPU 本体が前記ホストコンピュータからのリセット信号に従ってリセットされる、請求項 1 に記載のマイクロコンピュータ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータに関し、特に、外部のホストコンピュータに接続して使用するためのインターフェースを備えたフラッシュメモリ内蔵型ワンチップマイコンに関する。

【0002】

【従来の技術】従来、ワンチップマイコンをホストコンピュータに接続して使用するためには、スレーブとなるワンチップマイコンをホストコンピュータに一对一で接続し、入出力ポートを介してデータの送受信を行っていた。

【0003】図 2 に、従来のワンチップマイコンとホストコンピュータとの接続を示す。ホストコンピュータ 1 からワンチップマイコン 30 にデータの読み出し命令 (COM) が送られると、読み出し命令 (COM) は入出力ポート 32 を介してメモリ 33 に記憶される。この読み出し命令は CPU 31 の割り込み命令となり、CPU 31 は読み出し命令に従ってデータ (DATA) を準備してメモリ 33 に記憶する。次に、ホストコンピュータ 1 は、メモリ 33 に記憶されたデータ (DATA) を読み込む。

【0004】

【発明が解決しようとする課題】しかしながら、1つのホストコンピュータに接続できるスレーブの数は1つだけであり、複数のワンチップマイコンを接続することはできなかった。しかも、ホストコンピュータとワンチップマイコンとの間でデータをやりとりする目的のみで使用されており、ホストコンピュータがワンチップマイコ

ンの資源にアクセスすることはできなかった。さらに、ホストコンピュータからの読み出し命令の処理がワンチップマイコン側で行われるため、データの処理能力がワンチップマイコン側の処理能力 (通常はホストコンピュータ側の処理能力よりも低い) で制限されてしまうという問題があった。

【0005】そこで、上記の点に鑑み、本発明の目的は、1つのホストコンピュータに複数のワンチップマイコンを接続して使用するためのインターフェースを備えたワンチップマイコンであって、CPU コア (本体) を除く周辺部分をホストコンピュータの資源の一部として任意に割り当てて使用することができるワンチップマイコンを提供することである。

【0006】

【課題を解決するための手段】以上の課題を解決するため、本発明に係るマイクロコンピュータは、CPU 本体と、データを記憶するためのメモリと、少なくともメモリを外部のホストコンピュータに接続するためのインターフェースと、ホストコンピュータから送信される制御信号に従って CPU 本体を少なくともメモリから切り離すための手段とを具備することを特徴とする。

【0007】上述のマイクロコンピュータにおいては、メモリとしてフラッシュメモリを使用してもよい。

【0008】また、インターフェースは、プログラム可能なマッピング装置を含むバス制御装置であってもよく、ホストコンピュータからの命令に従って動作状態又は非動作状態とされるようにしてもよい。

【0009】さらに、CPU 本体がホストコンピュータからのリセット信号に従ってリセットされるようにしてもよい。

【0010】以上の様に構成した本発明に係るマイクロコンピュータによれば、ホストコンピュータ側から制御を行うことにより、ホストコンピュータに複数のワンチップマイコンの資源を任意に割り当てることができるため、ホストコンピュータを中心とした1つのシステムとして運用することが可能となる。

【0011】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態について説明する。尚、同一の要素には同一の番号を付して説明を省略する。

【0012】図 1 は、本発明の一実施形態に係るワンチップマイコンとホストコンピュータとの接続を示す図である。図 1 において、ホストコンピュータ 1 は複数のワンチップマイコンと接続可能であり、例としてワンチップマイコン 10 と 20 のみを示す。第 1 のワンチップマイコン 10 (ターゲット 1) は、CPU コア (本体) 11 と、インターフェース 12 と、バス切り離し装置 13 と、入出力ポート 17 と、ワンチップマイコンの資源であるフラッシュメモリ 14、その他のメモリ 15、LC DC 16 とを含んでいる。ここで、インターフェース 1

2は、プログラム可能なマッピング装置を含むバス制御装置であってもよい。第2のワンチップマイコン20（ターゲット2）についても同様の構成であるので、図示を省略する。

【0013】ホストコンピュータ1のターゲット指定部2はワンチップマイコン10のインターフェース12に接続されており、目的とするワンチップマイコン（ターゲット）及びそれに含まれるメモリのアドレス等を指定する。インターフェース12は、ホストコンピュータ1の制御信号送信部3から送信されるアクティブ/インアクティブ信号に従って、動作状態又は非動作状態となる。インターフェース12には、バスラインを介して、フラッシュメモリ14と、その他のメモリ15と、LCDC16と、入出力ポート17とが接続されている。CPUコア11とバスラインとの間にはバス切り離し装置13が挿入されており、ホストコンピュータ1の制御信号送信部3から送信されるCPUコア切り離し信号に従って、CPUコア11をバスラインから切り離す。さらに、ワンチップマイコン10のリセット信号とホストコンピュータ1からのリセット信号とがOR回路18に入

力され、CPUコア11のリセットのために使用される。

【0014】以上の構成において、まず、ホストコンピュータ1がターゲットを接続して、ターゲットとなるワンチップマイコンの資源、例えば、フラッシュメモリ14を活用する場合について説明する。ホストコンピュータ1は、ターゲット指定部2で指定するターゲットを自分の任意のメモリアドレスに割り当てる。さらに、制御信号送信部3において任意のターゲットのアクティブ/インアクティブ信号をアクティブにしてターゲットとなるワンチップマイコンのインターフェース12を動作状態とし、インターフェース12から準備完了を示す信号が戻ってくるのを待つ。インターフェース12から準備完了を示す信号が戻ってきたら、リセット信号をアクティブにし、CPUコア切り離し信号をアクティブにし、リセット信号を再びインアクティブにする。これにより、ホストコンピュータ1は、ターゲットとなるワンチップマイコンの資源を自由に活用できるようになる。即ち、ホストコンピュータ1のターゲット指定部2が、バスラインを介して、ターゲットとなるワンチップマイコンのフラッシュメモリ14のアドレスを指定し、データの書き込み又は読み出しを行う。なお、CPUコアを切り離すか否かはホストコンピュータ1により任意に設定

できるため、CPUコアを切り離さないワンチップマイコンとの間では、コプロセッサ的な使用が可能である。

【0015】次に、ホストコンピュータ1がターゲットを切り離す場合について説明する。ホストコンピュータ1は、処理を終了した時点で、制御信号送信部3においてターゲットのアクティブ/インアクティブ信号をインアクティブにしてターゲットであるワンチップマイコンのインターフェース12を非動作状態とする。さらに、リセット信号をアクティブにし、CPUコア切り離し信号をインアクティブにし、リセット信号を再びインアクティブにすることにより、ターゲットであるワンチップマイコンはホストコンピュータ1から切り離され、自分自身で動き出す。即ち、ワンチップマイコンのCPUコア11がバスラインに接続され、ワンチップマイコンの資源を活用する。なお、ターゲットであるワンチップマイコンを切り離す前にフラッシュメモリ14の内容を書き換えておけば、このワンチップマイコンにホストコンピュータ1から独立した別の処理をさせることが可能となる。

【0016】

【発明の効果】以上述べた様に、本発明によれば、ホストコンピュータ側から制御を行うことにより、ホストコンピュータに複数のワンチップマイコンの資源を任意に割り当てることができるため、ホストコンピュータを中心とした1つのシステムとして運用することが可能となる。

【図面の簡単な説明】

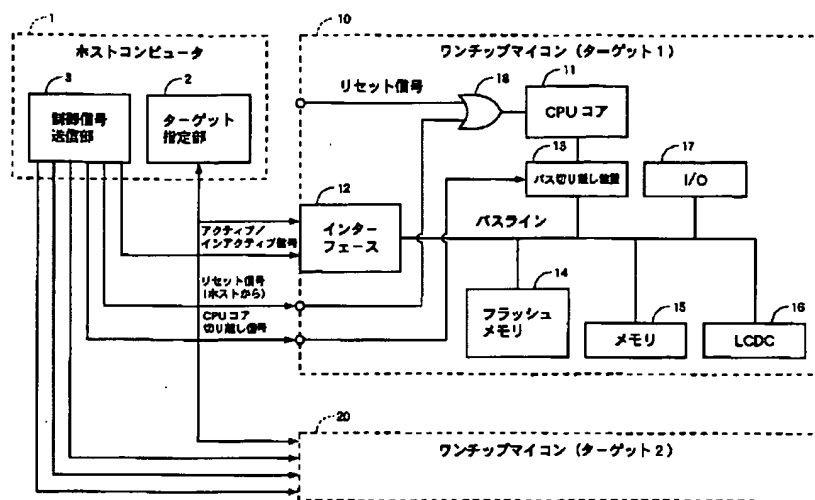
【図1】本発明の一実施形態に係るワンチップマイコンとホストコンピュータとの接続を示す図である。

【図2】従来のワンチップマイコンとホストコンピュータとの接続を示す図である。

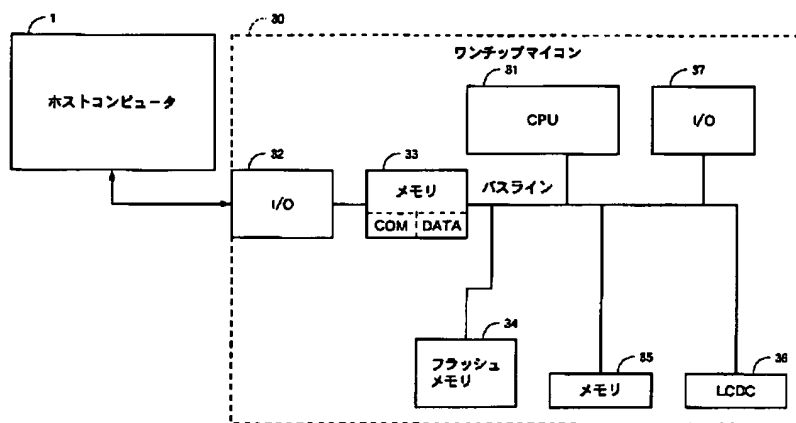
【符号の説明】

- 1 ホストコンピュータ
- 2 ターゲット指定部
- 3 制御信号送信部
- 10、20、30 ワンチップマイコン
- 11 CPUコア
- 12 インターフェース
- 13 バス切り離し装置
- 14、34 フラッシュメモリ
- 15、35 その他のメモリ
- 16、36 LCDC
- 17、32、37 入出力ポート

【図 1】



【図 2】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**